

FPGA Version 69

Addr	Symbolic Name	Ops		Data Bits																												Description										
		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4		3	2	1	0						
00h	INDEX		W	0x0826 (board signature)																												B=bank select for INDWIN: 0-5=counters, 8=dac, 9=adc data, 10=adc config, 11=router, 12=ram, 13=adc tstamp, 14=watchdog.										
01h	TSTAMP	R		T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	T=current timestamp (increments every 1 μs).						
02h	* COMCMD		W	SET	CLR	0	0	0	0	0	0	0	0	0	0	0	0	L5	L4	L3	L2	L1	L0	0	0	0	0	0	0	0	0	XSF	LM	SAF	0	LM=ledmode: LM=1, L=led data (vs. ctr activity). XSF=din47↑ sets SAF. G=fpga build number. N=boardnum, R=board rev.						
	CONFIG	R		G7	G6	G5	G4	G3	G2	G1	G0	0	R4	R3	R2	R1	R0	L5	L4	L3	L2	L1	L0	N3	N2	N1	N0	0	0	0	0	XSF	LM	SAF	0							
03h	INTEN		W	SET	CLR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	WD	0	BD	CT5	CT4	CT3	CT2	CT1	CT0	SET/CLR: 00=write, 01=clr bits, 10=set bits.						
		R		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	WD	0	BD	CT5	CT4	CT3	CT2	CT1	CT0	BD=board int en. CT=counter 5-0 inten. WD=watchdog inten.						
04h	INTSTS	R	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	WD	DIO	ADC	CT5	CT4	CT3	CT2	CT1	CT0	DIO=any gpio irq. ADC=any adc irq. CT=counter 5-0 irq.						
05h	EEPROM		W	C1	C0	0	L4	L3	L2	L1	L0	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	C: 0=CS↓, 1=CS↑, 2=tx, 3=rx. L=bitcnt. D=data (tx only).						
		R		BSY	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D7	D6	D5	D4	D3	D2	D1	D0	BSY:1=busy, 0=idle. D=read rcv shift reg data.							
06h	SAFEN		W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWE	SWE	SWE/SWE=safe write ctrl: 10=enable, 01=disable, else=nop.						
		R		0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	SWE	0	SWE=safe write enabled.						
07h	REV			0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	J7	J6	J5	J4	J3	J2	J1	J0	N7	N6	N5	N4	N3	N2	N1	N0	J=fpga major version. N=fpga minor version.
GPIO																																										
08h	* GPSAFENL	R	W	0	0	0	0	0	0	0	0	0	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=safemode enables: 0=disabled, 1=enabled (por default).					
09h	* GPSAFENH	R	W	0	0	0	0	0	0	0	0	0	D47	D46	D45	D44	D43	D42	D41	D40	D39	D38	D37	D36	D35	D34	D33	D32	D31	D30	D29	D28	D27	D26	D25	D24						
0Ah	GPOL	R	W	SET	CLR	0	0	0	0	0	0	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	W: D=gpout data; SET/CLR: 00=write, 01=clr bits, 10=set bits.						
0Bh	GPOH	R	W	SET	CLR	0	0	0	0	0	0	D47	D46	D45	D44	D43	D42	D41	D40	D39	D38	D37	D36																			

Counter 0-5: banks 0-5, direct base = (0040h, 0060h, 0080h, 00A0h, 00C0h, 00E0h)

Address		Symbolic Name	Ops		Data Bits																																Description		
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0			
Base + 0	20	COUNTS	R	-	C31	C30	C29	C28	C27	C26	C25	C24	C23	C22	C21	C20	C19	C18	C17	C16	C15	C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0	C=snapshot counts—rd latches TSTAMP and clears DAV status.		
Base + 1	21	TSTAMP	R	-	T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	T=snapshot timestamp—latched when COUNTS read.		
Base + 2	22	PRELOAD0	R	W	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=preload0 register.		
Base + 3	23	PRELOAD1	R	W	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=preload1 register.		
Base + 4	24	CMP0	R	W	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=compare0 register.		
Base + 5	25	CMP1	R	W	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=compare1 register.		
Base + 6	26	SSCTL	R	W	SET	CLR	0	0	0	0	0	0	0	REF	REF	RXR	RXF	RZ	RM1	RM0	0	0	0	0	0	0	0	0	0	0	EER	EEF	EXR	EXP	EZ	EM1	EM0	SET/CLR: 00=write, 01=clr bits, 10=set bits. Rxx=autorst enable upon snapshot. Exx=enable snapshot. xx: EF/EF=ExtIn↑/↓ XR/XF=ix↑/↓, Z=zserCnt, M1/M0=match 1/0.	
Base + 7	n/a	QCOUNTERS	R	W	C31	C30	C29	C28	C27	C26	C25	C24	C23	C22	C21	C20	C19	C18	C17	C16	C15	C14	C13	C12	C11	C10	C9	C8	C7	C6	C5	C4	C3	C2	C1	C0	C=instant counts		
Base + 9	29	CTRMODE	R	W	0	IP	IM1	IM0	0	0	0	PS	NR	UD	BP	OM2	OM1	OM0	OP	PXH	PXR	PXF	PZ	PM1	PM0	TE1	TE0	TD1	TD0	K2	K1	K0	XS3	XS2	XS1	XS0	IP=ExtIn polarity: 0=normal, 1=invert. IM=ExtIn mode: 0=not used, 1=count enable, 2=preload enable. NR=retriggerable (preload when notZero): 1=no, 0=yes. UD=count direction: 0=normal, 1=reverse. BP=preload usage: 0=preload0 only, 1=both preloads. OM=output polarity: 0=normal, 1=invert. Px=preload trig: XH=ixHi,XR=ix↑,XF=A↓,Z=zero,M=match,S=start. Pp=preload enable trig: 0=upon start, 1=ix↑, 2=preload. TE=count enable trig: 0=upon start, 1=ix↑, 2=preload. TD=count disable trig: 0=never, 1=ix↓, 2=zeroCnt. K=clk: 0=A↑,1=A↓,2=1MHz, 3=50MHz, 4=link, 5/6/7=quad x1/2/4. XS=ix source: 0-1=ext norm/invert, 2-7=ExtOut 0-5, 8-15= internal 0.1Hz, 1Hz, 10Hz, 100Hz, 1kHz, 10kHz, 100kHz, 1MHz.		
Base + A	2A	CTRCMD		W	SS	SP	RUN	HLT	ST	RT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	FV	0	0	0	0	0	0	UF	OV	Self-resetting cmds: SS=snapshot. SP=preload, RUN/HLT = start/ stop chan. ST/RT=sel/clr "sticky" preload0 cmd trig. Bit clr (1=clr, 0=nop): FV=fifo overflow. UF=undflow. OV=overflow.		
		CTRSTS	R		0	0	RUN	0	ST	SSE	SSS	SSU	SSD	SSR	SSF	SSZ	SS1	SS0	0	PLS	0	0	0	0	0	0	0	0	FV	DAV	ZER	0	0	ERR	0	UF	OV	RUN=running. ST=sticky preload. SSx=snapshot flag: S=soft, U/D=ExtIn↑/↓, R/F=ix↑/↓, 0/1=match0/1, Z=zero reached, E=quad err. PLS=preload1 selected. DAV=snapshot cap. ZER=zero cnts. ERR=quadrerr. FV=fifo overflow. UF=underflow. OV=overflow.	
Base + B	n/a	SSLEVEL	R	-	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D5	D4	D3	D2	D1	D0	Snapshot FIFO level (0-16).
Base + C	n/a	CTRFILT	R	W	IX	CK	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D15	IX/CK=filter (debounce) enables. D=filt interval.	

DAC: bank 8, direct base = 0200h

Address		Symbolic Name	Ops		Data Bits																																Description
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0200-020F	20-2F	DACDATA()	R	W	0	0	0	0	0	0	0	DEV	C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	DAC slots: DACDATA=runmode, DACSAFE=safemode. Dir mode: adr[3] selects dev: 0=gdac0, 1=gdac1 (DEV not used). Bank mode: DEV =0=quadDac0, 1=gdac1. C =cmd, A =addr, D =data (see LTC2704 datasheet for details). BSY =slot pending.
			R	W	BSY	0	0	0	0	0	0	0	DEV	C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	
0210-021F	30-3F	* DACSAFE()	R	W	0	0	0	0	0	0	0	DEV	C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	
			R	W	BSY	0	0	0	0	0	0	0	DEV	C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	
0220-0221	n/a	DACRB()	R	-	0	0	0	0	0	0	0	0	C3	C2	C1	C0	A3	A2	A1	A0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Diagnostics readback data from gdac0 & gdac1.

ADC Data: bank 9, direct base = 0240h

Address		Symbolic Name	Ops		Data Bits																												Description				
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4		3	2	1	0
0240-025F	20-3F	ADCDATA()	R	-	B7	B6	B5	B4	B3	B2	B1	B0	V	0	0	0	0	0	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=adc raw data. B=adc burst number. V=buffer overrun. Rd latches ADCTS(i) and clears ADSTS(i).

ADC Config: bank 10, direct base = 0260h

Address		Symbolic Name	Ops		Data Bits																																Description
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0260-027F	20-3F	ADCCFG()	R	W	TEN	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	A4	A3	A2	A1	A0	G1	G0	TEN :enable settling delay timer. T =settling delay (50MHz counts). A =chan: 0-15=external mux, 16-31=cal mux: 16=open, 17=0V, 18=-5V, 19=+5V. G =range: 0=±10V, 1=±5V, 2=±2V, 3=±1V.

ADC Timestamp: bank 13, direct base = 0280h

Address		Symbolic Name	Ops		Data Bits																												Description				
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4		3	2	1	0
0280-029F	20-3F	ADCTS()	R	-	T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	T=adc timestamps associated with ADCDATA.

GPIO Input Filter: bank n/a, direct base = 02A0h

Address		Symbolic Name	Ops		Data Bits																																Description
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
02A0	n/a	DIOFILTL	R	W	0	0	0	0	0	0	0	0	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=gpio input filter (debounce) enables.
02A1	n/a	DIOFILTH	R	W	0	0	0	0	0	0	0	0	D47	D46	D45	D44	D43	D42	D41	D40	D39	D38	D37	D36	D35	D34	D33	D32	D31	D30	D29	D28	D27	D26	D25	D24	
02A2	n/a	DIOFILTIM	R	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=filter interval (common to all gpios).

Routing Matrix: bank 11, direct base = 0300h

Address		Symbolic Name	Ops		Data Bits																																Description	
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0300-0305	20-25	ROUTECEN0	R	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	C5	C4	C3	C2	C1	C0	C=ctr trig: 0-47=gpio, 48-53=ctr 0-5, 54-59=virtual, 60-63='x'.
0308h	28	ROUTEADCT	R	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	A5	A4	A3	A2	A1	A0	A=adc trig: 0-47=gpio, 48-53=ctr 0-5, 54-59=virtual, 60-63='x'.

Watchdog: bank 14, direct base = 0320h

Address		Symbolic	Ops		Data Bits																																Description																																																																																																																																																																																																																																																																																																																																																																																																
Linear	Ind	Name	R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																																																																																																																																																																																																																																																																																																																																																																																																	
0320h	20	* DELAY0	R	W	T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	T=stage0 delay (50MHz clks).																																																																																																																																																																																																																																																																																																																																																																																																
0321h	21	* DELAY1	R	W	T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	T=stage1 delay (50MHz clks).																																																																																																																																																																																																																																																																																																																																																																																																
0322h	22	* DELAY2	R	W	T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	T=stage2 delay (50MHz clks).																																																																																																																																																																																																																																																																																																																																																																																																
0323h	23	* PWIDTH	R	W	T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	T=ResetOut pulse width (50MHz clks).																																																																																																																																																																																																																																																																																																																																																																																																
0324h	24	* PGAP	R	W	T31	T30	T29	T28	T27	T26	T25	T24	T23	T22	T21	T20	T19	T18	T17	T16	T15	T14	T13	T12	T11	T10	T9	T8	T7	T6	T5	T4	T3	T2	T1	T0	T=ResetOut pulse gap (50MHz clks).																																																																																																																																																																																																																																																																																																																																																																																																
0328h	28	* WDCFG	R	W	SET	CLR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

Virtual digital outputs: bank n/a, direct base = 0340h

Address		Symbolic Name	Ops		Data Bits																												Description					
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4		3	2	1	0	
0340h	n/a	VDIO	R	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D5	D4	D3	D2	D1	D0	D=runmode data
0341h	n/a	* VSAFE	R	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D5	D4	D3	D2	D1	D0	D=safemode data
0342h	n/a	* VSAFEN	R	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	D5	D4	D3	D2	D1	D0	D=safemode enables

General-Purpose RAM: bank 12, direct base = 0400h

Address		Symbolic Name	Ops		Data Bits																																Description
Linear	Ind		R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0400-05FF	20-3F	RAM	R	W	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D=RAM data. In banked mode, only first 32 dwords accessible.

Factory Test: bank n/a, direct base = 0800h

Address		Symbolic	Ops		Data Bits																																Description
Linear	Ind	ROM	R	W	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0800-09FF	n/a	LCSROM	R	W	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	Write-only (lcsaddr_0_halt, lcsdata) quadlet pairs.
0A00h	n/a	LCSSEQ	R	W	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	A8	A7	A6	A5	A4	A3	A2	A1	A0	Trig ROM sequence. A =ROM addr.
0A01h	n/a	LCSDIR	R	W	A31	A30	A29	A28	A27	A26	A25	A24	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	0	WR	Trig direct access. A =LCS addr. WR :1=write, 0=read.
0A02h	n/a	LCSWDATA	R	W	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D =LCS register write data
0A03h	n/a	LCSRDATA	R	W	D31	D30	D29	D28	D27	D26	D25	D24	D23	D22	D21	D20	D19	D18	D17	D16	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0	D =LCS register read data

Notes:

* SWE bit (in SAFEN reg) must be '1' to write-enable this register